

⑫ 公開特許公報(A) 平1-102498

⑪ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 平成1年(1989)4月20日
G 09 G 3/36		8621-5C	
G 01 M 11/00		T-2122-2G	
G 02 F 1/133	3 2 6	7370-2H	
	3 2 8	7370-2H	
// G 01 R 31/00		7905-2G	
H 01 L 27/12		A-7514-5F	審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 アクティブマトリックス基板の試験方法

⑮ 特 願 昭62-260539

⑯ 出 願 昭62(1987)10月15日

⑰ 発 明 者 田 辺 英 三 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代 理 人 弁理士 山 口 巖

明 細 書

1. 発明の名称 アクティブマトリックス基板の試験方法

2. 特許請求の範囲

1) 行列状に配列された画素ごとに設けられた画素電極と行、列いずれか一方に並んだ画素電極に対して共通に設けられた走査電極との間に表示駆動素子が画素ごとに接続されたアクティブマトリックス基板を試験する方法であって、基板内の他方向に並ぶ画素電極にそれぞれ対応して試験用表示素子を設けてなる試験用表示手段と該他方向に並ぶ画素電極のそれぞれと同時に回路的に結合可能な画素電極結合手段とを用い、基板上の画素電極、表示駆動素子および走査電極の各直列回路に対して画素電極結合手段および試験用表示手段の各試験用表示素子を直列に接続して画素電極結合手段を他方向に並ぶ各画素電極と同時に結合した状態で所定の試験電圧を加え、試験用表示手段内の各試験用表示素子が示す表示状態から他方向に並ぶ各画素を同時に試験するとともに画素電極結

合手段の他方向に並ぶ画素電極との結合状態を前記一方向にずらせながら基板内の全画素を試験しようとしたことを特徴とするアクティブマトリックス基板の試験方法。

2) 特許請求の範囲第1項記載の試験方法において、試験用表示手段の各試験用表示素子を基板側の各走査電極とそれぞれ接続するようにしたことを特徴とするアクティブマトリックス基板の試験方法。

3) 特許請求の範囲第1項記載の試験方法において、画素電極結合手段が他方向に並ぶ各画素電極とそれぞれ個別に結合する互いに絶縁された結合子からなり、試験用表示手段の各試験用表示素子を画素電極結合手段の該各結合子とそれぞれ接続するようにしたことを特徴とするアクティブマトリックス基板の試験方法。

4) 特許請求の範囲第1項記載の試験方法において、試験用表示手段の試験用表示素子が基板側の各画素とほぼ同構造に構成されることを特徴とするアクティブマトリックス基板の試験方法。

5) 特許請求の範囲第1項記載の試験方法において、

面素電極結合手段が各面素電極と探針の接触により結合されることを特徴とするアクティブマトリックス基板の試験方法。

6) 特許請求の範囲第1項記載の試験方法において、面素電極結合手段が電極体として形成され、該電極体を誘電体を挟んで各面素電極と対峙させることにより面素電極結合手段が各面素電極と静電的に容量結合されることを特徴とするアクティブマトリックス基板の試験方法。

7) 特許請求の範囲第5項記載の試験方法において、誘電体として液体が用いられることを特徴とするアクティブマトリックス基板の試験方法。

8) 特許請求の範囲第7項記載の試験方法において、誘電体としてアルコール類が用いられることを特徴とするアクティブマトリックス基板の試験方法。

9) 特許請求の範囲第7項記載の試験方法において、誘電体として純水が用いられることを特徴とするアクティブマトリックス基板の試験方法。

10) 特許請求の範囲第1項記載の試験方法において、面素電極結合手段が面素電極との間の放電に

より各面素電極と結合されることを特徴とするアクティブマトリックス基板の試験方法。

11) 特許請求の範囲第1項記載の試験方法において、面素電極結合手段を機械的に移動させることにより、面素電極結合手段の他方向に並ぶ面素電極との結合状態が一方向にずらされることを特徴とするアクティブマトリックス基板の試験方法。

12) 特許請求の範囲第1項記載の試験方法において、面素電極結合手段が他方向に並ぶ面素電極の複数個の群に対して並設され、該複数個の面素電極結合手段を回路的に切り換えることにより、面素電極結合手段の他方向に並ぶ面素電極との結合状態が一方向にずらされることを特徴とするアクティブマトリックス基板の試験方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は表示パネル装置とくに液晶表示装置のアクティブマトリックス基板の試験方法、すなわち行列状に配列された面素ごとに設けられた面素電極と行、列いずれか一方に並んだ面素電極に

対して共通に設けられた走査電極との間に表示駆動素子が面素ごとに接続されてなるアクティブマトリックス基板を試験する方法に関する。

(従来の技術)

よく知られているように表示パネル装置を大面積化しかつ高表示密度化する上で、トランジスタ、ダイオード、非線形素子などの表示駆動素子を基板内に組み込んだアクティブマトリックス方式の表示パネル装置が有利であり、比較的小面積のものからその実用化が進みつつある。かかる表示パネル装置のアクティブマトリックス基板に組み込まれる表示駆動素子には2端子素子と3端子素子があり、その概要を第6図に示す。

同図(a)は2端子の表示駆動素子を組み込んだアクティブマトリックス基板の等価回路であり、行列状に配列された面素電極10のそれぞれに付属して2端子表示駆動素子21が設けられ、図の左右方向である行方向に並んだ面素電極に対して共通に設けられた走査電極30と各面素電極10との間にこの2端子表示駆動素子21がそれぞれ接続されてい

る。走査電極30はいわば垂直走査電極であって、これに対する水平走査電極2は図で鎖線で示されたようにアクティブマトリックス基板と対向されるもう一方の基板上に図示のように列方に延びる面素電極とはほぼ同じ幅をもつ条の形状をもっている。ある面素に表示をさせるにはそれぞれ特定の垂直走査電極30と水平走査電極2との間に表示電圧を掛ければよく、これによって2端子表示駆動素子が動作して面素電極10と水平走査電極2との間の表示媒体に表示電圧が掛かってその面素の表示が行なわれる。

同図(b)は3端子の表示駆動素子22を組み込んだアクティブマトリックス基板の等価回路であり、この場合には垂直走査電極と水平走査電極とがともにアクティブマトリックス基板に組み込まれる。図の走査電極30が水平走査電極であって、これと各面素電極10とに3端子表示駆動素子22の主端子、例えば駆動素子が電界効果トランジスタである場合はそのソースとドレインがそれぞれ接続される。垂直走査電極31はいわば制御線であって、各3端

子表示駆動素子22の制御端子例えば電界効果トランジスタのゲートがこれに接続される。表示用の駆動電圧は走査電極30ともう一方の基板側の図で鎖線で示された平電極3との間に与えられ、垂直走査電極31に乗せられる表示信号に応じた表示電圧が3端子表示駆動素子22を介して画素電極10に加わり、これによって駆動電圧を与えた走査電極30と表示信号に乗せた垂直走査電極31との交点に対応する画素に表示がなされる。

2端子、3端子に拘らず表示駆動素子はいずれもアクティブマトリックス基板に容易に組み込みうる薄膜の素子であって、2端子表示駆動素子には非晶質シリコンの薄膜ダイオードやMIM(金属-絶縁体-金属)の薄膜素子が用いられ、3端子表示駆動素子には非晶質や多結晶のシリコンの薄膜トランジスタが用いられ、いずれも数 μ mから十数 μ m程度の大きさとなる。

以上のようなアクティブマトリックス基板上の画素電極、走査電極および表示駆動素子はその被着ないしは成長のほか、相互接続用の接続膜と合

わせて数回のフォトリソプロセスを経て作り込まれるが、各フォトリソプロセスの条件不良や精度不足によってとくに表示駆動素子周りで欠陥が発生することがある。比較的大形の表示パネル装置では、その画素が例えば400行、640列で配列されるので、最も簡単な白黒表示の場合でも画素の総数が約25万個になり、カラー表示の場合はこの3倍となる。一方、現在の進んだフォトリソプロセス技術を用いても欠陥発生率を 10^{-8} 以下にすることはまだかなり困難なので、1枚の表示パネル装置内に数個ないし数十個の欠陥が発生することは避けられず、実用的にはこの欠陥数が許容値以下のものは良品とされる。欠陥の種類としては表示駆動素子の短絡欠陥が主で、断線欠陥がこれに次ぐ。

このようにアクティブマトリックス基板内に若干の欠陥が発生することは今の所 unavoidable なので、その製作に当たっては基板の完成時に必ず試験をする必要がある。最も簡単な試験法は表示パネル装置に組み立ててしまってから表示試験をすることであるが、このためにはアクティブマトリックス

基板と相手方基板とを相互接着して、それらの間に表示媒体を封入する必要がある。組み立てに手間が掛かる上に不良が出たときには全部を廃棄するしかない。従って表示パネル装置に組み立ててしまう前にアクティブマトリックス基板単独の形で試験をしてその良否を判定することが望ましく、アクティブマトリックス基板をかかるとの状態で試験する従来方法の例を第7図に示す。

第7図はアクティブマトリックス基板1の表示駆動素子20が2端子素子である場合を示し、試験用に探針4aを多数個備えた可動治具4を用いる。探針4aの先端は列方向に並ぶ画素電極10にそれぞれ接触され、各探針4aは図の下側に示した切換スイッチ5の被切換接点にそれぞれ接続されている。走査電極30は図のように共通接続され、この共通接続点と切換スイッチ5の切換接点との間に電流検出器6と試験電圧源7とが接続される。容易にわかるように、切換スイッチ5を順次切り換えながら各表示駆動素子20に流れる電流を電流検出器6によって測定し、電流が過大なときは短絡欠陥

とし、過小なときは断線欠陥と判定する。1列に並ぶ画素の試験を終えたのち、可動治具4は図で矢印Mで示すように左右方向に移動させて、アクティブマトリックス基板1上の全画素について試験が終わるまでこれを繰り返す。

(発明が解決しようとする問題点)

ところが上述のような従来の試験方法では、アクティブマトリックス基板が小形のものである内はよいが、大形になって来ると試験すべき画素が多くなって、試験に非常に長時間を要する問題がある。この原因の一半は前述のように各表示駆動素子が小形でその正規の電流値が $10^{-8} \sim 10^{-11}$ Aと微小な点にあって、かかる微小電流を画素ごとに測定してその良否を判定しなければならないので、画素1点あたりの試験時間が比較的に長くなることにある。この1点あたりの試験時間を電流測定法を工夫しかつ切換スイッチを電子化して切換速度を早めても、正確な欠陥の有無の判定には画素あたり0.1~0.2秒を要する。いま、この時間を仮に0.1秒/点とし、画素数を前述の約25万個とす

ると、可動治具の移動に必要な時間を除外しても試験に必要な時間は7時間にもなる。

本発明はこの問題を解決して、アクティブマトリックス基板を短時間内に試験することができる実用的な方法を提供することを目的とする。

(問題点を解決するための手段)

この目的は本発明によれば、前述のように行列状に配列された画素ごとに設けられた画素電極と行、列いずれか一方に並んだ画素電極に対して共通に設けられた走査電極との間に表示駆動素子が画素ごとに接続されたアクティブマトリックス基板を試験する手段として、基板内の他方向に並ぶ画素電極にそれぞれ対応して試験用表示素子を設けてなる試験用表示手段と該他方向に並ぶ画素電極のそれぞれと同時に回路的に結合可能な画素電極結合手段とを設け、基板上の画素電極、表示駆動素子および走査電極の各直列回路に対して画素電極結合手段および試験用表示手段の各試験用表示素子を直列に接続して画素電極結合手段を他方向に並ぶ各画素電極と同時に結合した状態で所

定の試験電圧を加えるようにし、この時に試験用表示手段内の各試験用表示素子が示す表示状態から他方向に並ぶ各画素を同時に試験するとともに画素電極結合手段の他方向に並ぶ画素電極との結合状態を前記一方にずらせながら基板内の全画素を試験することによって達せられる。

(作用)

以下、第1図を参照しながら上記構成のもつ作用を説明する。第1図(a)、(b)に示されたアクティブマトリックス基板1には画素電極10がm列、n行に行列配置されており、その一方、図では行方向に並ぶ画素電極に共通に走査電極30が設けられ、各画素電極10と走査電極30との間には図の場合には2端子素子である表示駆動素子20がそれぞれ接続されている。

第1図(a)においてアクティブマトリックス基板1の右側に示された試験用表示手段40は、行列の他方向である列方向に並ぶ画素電極10に対応してn個の試験用表示素子41~4nを備え、各試験用表示素子は列方向に並ぶ画素電極10に対応する走査

電極30とそれぞれ接続されている。画素電極結合手段50は前の第8図における可動治具4と対応するもので、例えばn個の探針51を備え、これらの探針51の先端をそれぞれ対応する画素電極と接触させることにより、画素電極のそれぞれと同時に回路結合される。しかし、第1図(a)の場合には前の可動治具と異なりすべての探針51は画素電極結合手段50に共通接続されていて、画素電極結合手段50は可撓性のリード61を介して試験用電源70の一端と接続されている。この試験用電源70の他端は試験用表示手段40の各試験用表示素子41~4nの共通に接続され、これによって、試験用電源70の試験電圧 V_t が試験用表示素子41~4n、走査電極30、表示駆動素子20、画素電極10および画素電極結合手段50からなる直列回路に加えられる。

前述のように画素電極結合手段50は探針51を介して列方向に並ぶ各画素電極10と同時にないしは一斉に接触結合しているので、試験電圧 V_t の印加により試験用表示手段50内の試験用表示素子41~4nには一斉に表示がなされる。これからわかるよ

うに、本発明における試験用表示手段50の試験用表示素子41~4nはいわば列方向に並ぶ画素のかわりに表示を行なうもので、これら試験用表示素子の表示の状態によって対応する画素電極に付属する表示駆動素子の良否を判定することができる。従って、各試験用表示素子は各画素とはほぼ同構成に構成するのが望ましく、これによって実際の画素の表示と同じ表示を試験用表示素子にさせることにより、最も実際の表示に近い条件で表示駆動素子ないしは画素の良否を判定することができる。この良否の判定は実用的には目視であってよく、画素は列方向に例えば400個程並んでいるが、画素中に1個でも欠陥があった場合には、試験用表示手段40上に並ぶ試験用表示素子の表示から簡単に欠陥ありの旨を検出できる。もちろんこの欠陥検出を自動化することも可能である。

以上で1列に並ぶ画素の試験が終わるので、次に第1図(a)の矢印Mで示すように画素電極結合手段50を図で縦の領域で示す位置に順次移動させて、同様の試験を繰り返せばよい。あるいは、画素

電極結合手段50を図の縦の実線および鎖線の位置に設けておき、同図(c)に示す切換スイッチ60の被切換接点にそれらの西素電極結合手段50をそれぞれ接続し、かつ切換接点を試験用電源70の一端と接続しておいて、切換指令SSにより試験用電源と接続される西素電極結合手段50を選択させるようにすることができる。

第1図(c)の場合、西素電極結合手段50がその結合子として複数個の探針51を備えるのは同じであるが、これら探針51は絶縁体52により担持されて互いに絶縁されていて、それぞれ可撓性のリード61を介して試験用表示手段40の各試験用表示素子41~4nと接続されている。これら試験用表示素子41~4nの共通電極は試験用電源70の一端と接続され、試験用電源70の他端はすべての走査電極30に共通接続される。これにより試験用電源70の試験電圧 V_t は走査電極30、表示駆動素子20、西素電極10、西素電極結合手段50および試験用表示手段40の各試験用表示素子41~4nの直列回路に加えられ、同図(d)のときと同様に試験用表示素子41~4nに表

示が一斉になされ、これから列方向に並ぶ西素の良否が判定される。西素電極結合手段50を矢印Mの方向に順次移動させるのは同図(a)の場合と同じである。

以上の記載からわかるように、本発明によれば前述の構成にいうように、基板内の他方向に並ぶ西素電極にそれぞれ対応して試験用表示素子を立ててなる試験用表示手段と該他方向に並ぶ西素電極のそれぞれと同時に回路的に結合可能な西素電極結合手段とを設けて、基板上の西素電極、表示駆動素子および走査電極の各直列回路に対して西素電極結合手段および試験用表示手段の各試験用表示素子を直列に接続して西素電極結合手段を他方向に並ぶ各西素電極と同時に結合した状態で所定の試験電圧を加えることにより、表示パネル装置の各試験用表示素子には列方向に並ぶ西素に対応する表示が一斉になされるので、それら試験用表示素子の表示状態から列方向に並ぶ西素の良否を一度に従ってごく短時間内に試験することができ、これによって本発明の課題が解決される。

(実施例)

以下、第2図から第5図までを参照しながら本発明のより具体的な実施例を説明する。

第2図および第3図は西素電極結合手段50の西素電極10との回路的な結合を静電的な容量結合により行なう実施例を示すものである。第2図はこの容量結合の要領を断面図で示すもので、図の下側にはアクティブマトリックス基板のガラス基板1aとその表面上に設けられた西素電極10、表示駆動素子20および走査電極30が示されている。図の左右方向がアクティブマトリックス基板の列方向であり、走査電極30は図の前後方向である行方向に延びているものとする。西素電極結合手段50は例えばガラスの板52上に列方向に延びる金属等の結合電極53を設けた電極体であり、この結合電極53は第3図に示したようにその幅が西素電極10の幅とほぼ等しくされ、かつ行方向に並べてm個設けられている。この西素電極結合手段50は第2図に示すように適当なスペーサ52aを介して結合電極53と西素電極10との間が数十 μ m程度になるよう

に対置される。アクティブマトリックス基板1と西素電極結合手段50とは、図で一点鎖線で略略に示された皿状の容器内に入れられ、この容器には液状の誘電体54として誘電率の大きなアルコール類や純水が満たされる。結合電極53と各西素電極10はこの誘電体54を介してそれぞれキャパシタを形成し、これによって各結合電極53は列方向に並ぶ各西素電極10と同時に容量結合される。なお、かかる液状の誘電体を用いるかわりに、結合電極の表面に誘電体膜をつけ、この誘電体膜を西素電極10に直接に接触させるようにしてもよい。

第3図に示すアクティブマトリックス基板1は前の第1図と同じ構成のもので、その上にm列、n行に配列された西素電極10中の列方向に並ぶn個の西素電極10はそれぞれ西素電極結合手段の結合電極53と並列的に容量結合されており、そのn個の走査電極30は図の右側に示された試験用表示手段40の試験用表示素子41~4nとそれぞれ接続されている。この実施例では試験用表示手段40内にはその各試験用表示素子41~4nに対応してフェト

ダイオード81~8nが設けられており、これらのフォトダイオードはすべて直列接続され、直流電源72の電圧により逆バイアスを掛けられている。この逆バイアス状態の各フォトダイオード81~8nは試験用表示素子41~4nに表示が出たとき、それからの光を受けて導通される。かかるフォトダイオードは例えば非品質シリコン薄膜を用いて小形化することができる。一方、西素電極結合手段50の各結合電極53はその下側に示された切換スイッチ60の被切換接点にそれぞれ接続され、その内の1個が計算機90から切換スイッチ60に与えられる切換指令SSに応じて試験電圧Viを受ける切換接点と接続される。切換スイッチ60は図の簡略化のため接点式としたが実際には高速動作が可能のように電子回路化される。試験用電源71はその枠内に示されたような正負の方形波が繰り返えされる試験電圧Viを発生するもので、この波形の周期を指定するクロックパルスCPを計算機90から受けている。この試験用電源71は試験用表示手段40の試験用表示素子41~4nの共通電極と切換スイッチ60により

選択された西素電極結合手段の結合電極53との間に上述の試験電圧Viを印加する。

ある結合電極53が切換スイッチ60により選択されて試験電圧Viを受けたとき、その下に列方向に並ぶ西素電極10との容量結合を介して西素電極10に試験電圧Viが掛かり、試験用表示手段40の試験用表示素子41~4nに表示がなされる。この実施例ではこの試験用表示素子の41~4nの表示は対応する西素に欠陥がないとき明であって、対応するフォトダイオード81~8nが導通するので、選択された結合電極53の下すべての西素が良であるときにのみ直列接続されたフォトダイオード81~8nに電流が流れ、この電流が検出抵抗73により検出されて計算機90に読み込まれる。従って、計算機90はこの電流の有無により列方向に並ぶ全西素の良否を判定することができ、切換スイッチ60に逐次切換指令SSを発して結合電極53を選択しながらそれに対応する列の西素の良否を判定して記憶する。この実施例の場合、列方向に並ぶ西素中に欠陥がある場合、その欠陥が1個の西素だけにあるのか

複数の西素にあるのかを区別できないが、実際には1個の列中の複数の西素に同時に欠陥が発生する確率は非常に小さいので、実用上はふつうこれで充分である。

この実施例の場合、列方向に並ぶ西素の良否判定が高速ででき、かつ切換スイッチも電子回路化して切換動作速度を上げることができるので、アクティブマトリックス基板内の全西素の試験を長くても数分以内に完了させることができる。また、西素電極結合手段の西素電極との容量結合は前の例における探針の接触結合よりも信頼性が高いので、良否の判定結果に信頼が置ける利点がある。なお、試験用表示手段40の試験用表示素子の表示を対応西素が良のとき明とする要は必ずしもなく、西素が良のときに暗で不良のときに明とすることができる。この場合はフォトダイオード81~8nはすべて並列接続して、その並列回路に電流が検出されたとき列内の西素に欠陥ありと判定するようにすればよい。

第4図と第5図は西素電極結合手段と西素電極

とを放電結合した実施例を示す。第4図の断面図に見られるように西素電極結合手段50はアクティブマトリックス基板から数百 μ m程度隔てて基板と平行に張られた金属の線ないしは条55を備え、この金属条55はその両端が絶縁体56によって支えられ、基板側の西素電極10に対応した位置に小突起55aを備える。金属条55の小突起55aと西素電極10との間に低電圧下で放電Dが起こりうるように、空気またはガス57の圧力が適宜に調整される。第5図からわかるようにこの実施例におけるアクティブマトリックス基板1側の表示駆動素子はトランジスタなどの3端子素子22であって、走査電極30は列方向に並ぶn個の西素電極10に対して共通に設けられ、行方向に並ぶm個の西素電極に対しては制御線電極31が設けられる。従って、西素電極結合手段の金属条55は行方向にn個設けられ、それぞれ切換スイッチ60の被切換接点に接続される。試験用表示手段40にはm個の試験用表示素子41~4nが設けられて、それぞれ走査電極30と接続される。試験用電源70はこの試験用表示手段40の

試験用表示素子41~4nの共通電極と切換スイッチ60の切換接点との間に接続される。n本の制御線電極30は共通接続されて、試験用電源70の電圧の調整抵抗74を介する部分電圧が与えられる。この部分電圧は試験につごうのよい値に調整される。

計算機90から切換指令SSを切換スイッチ60に送って任意の金属条55に試験用電源70からの試験電圧 V_t を与えたとき、金属条55の小突起55aとその下の画素電極10との間が放電Dにより結合されて試験用表示手段40の試験用表示素子41~4nに一斉に表示がなされる。この試験用表示手段40内にはCCD方式などの電荷蓄積形の光センサアレイ80が組み込まれており、試験用表示素子41~4nの各表示内容を一種の読み取り指令であるクロックパルスCPに同期してこの光センサアレイ80から計算機90に読み込めるようになっている。従って、この実施例では計算機90は試験用表示素子41~4nの表示内容ないしはそれに基づく判定結果を試験用表示素子ごとつまり画素ごとに記憶することができ、またそれを同時にCRT装置等の付属の表示

装置91に表示させることができる。計算機90は切換指令SSにより画素の行を切り換えながら試験を進め、試験終了時にはアクティブマトリックス基板内のすべての画素に対する試験結果が計算機90内に記憶され、かつ表示装置91上の表示として残っているので、それに基づいて試験されたアクティブマトリックス基板の良否を総合判定することができる。

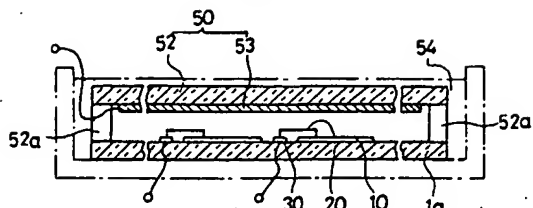
この実施例では光センサアレイに電荷蓄積形のものを用い、それからの読み出しを経時的に行なうので、前の第3図の実施例よりは若干試験速度が落ちるが、基板内の全画素の試験結果を記憶ないしは表示に残しうる利点を有する。

以上の実施例の説明からもわかるように、本発明はこれらの実施例に限らず種々の態様で実施することができる。例えば、試験用表示手段の試験用表示素子に行ないしは列方向に並ぶ画素に対応する表示を一斉にさせた後は、フォトセンサや光センサアレイを用いて自動的にその表示内容を検出する必要がとくにあるわけではなく、最も簡

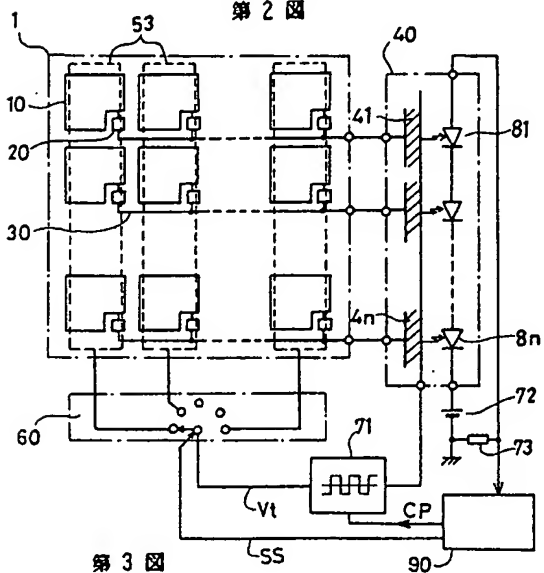
単には目視で各画素の良否を判定でき、あるいは写真フィルムを用いて基板内の全画素に対する試験結果を記録しておくことも可能である。画素電極結合手段と画素電極との結合方法も実施例における探針による接触結合、容量結合、放電結合のほか、公知の結合手段を適宜利用することができ、この結合を行ないしは列方向へずらせる手段も実施例における機械的方法や電気的方法のほか両方法を併用することも可能である。また、試験電圧の掛け方についても、表示パネル装置や表示駆動素子の種類によって当然異なって来ることになり、とくに表示駆動素子が逆並列接続ダイオードにより構成されている場合は、印加する試験電圧の極性によって試験用表示手段の表示内容が異なって来るがあるので、試験電圧の極性ごとに試験ないしは良否の判定をするようにすれば、断線欠陥の方向性も区別して試験を進めることができる。(発明の効果)

本発明では以上述べたように、行列状に配列された画素ごとに設けられた画素電極と行、列いず

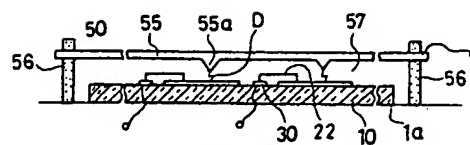
れか一方方向に並んだ画素電極に対して共通に設けられた走査電極との間に表示駆動素子が画素ごとに接続されたアクティブマトリックス基板を試験するに際して、基板内の他方向に並ぶ画素電極にそれぞれ対応して試験用表示素子を設けてなる試験用表示手段と該他方向に並ぶ画素電極のそれぞれと同時に回路的に結合可能な画素電極結合手段とを設け、基板上の画素電極、表示駆動素子および走査電極の各直列回路に対して画素電極結合手段および試験用表示手段の各試験用表示素子を直列に接続して画素電極結合手段を他方向に並ぶ各画素電極と同時に結合した状態で所定の試験電圧を加えるようにしたので、上記他方向である列ないしは行方向に並ぶ画素に対応する表示を試験用表示手段内の試験用表示素子に一斉に行なわせて、それらの表示状態から該所定方向に並ぶ画素に対する試験を同時にすませることができ、これによってアクティブマトリックス基板の試験に要する総時間を従来の1/100程度に短縮することができる。試験用表示手段はいわば所定方向に並ぶ画素



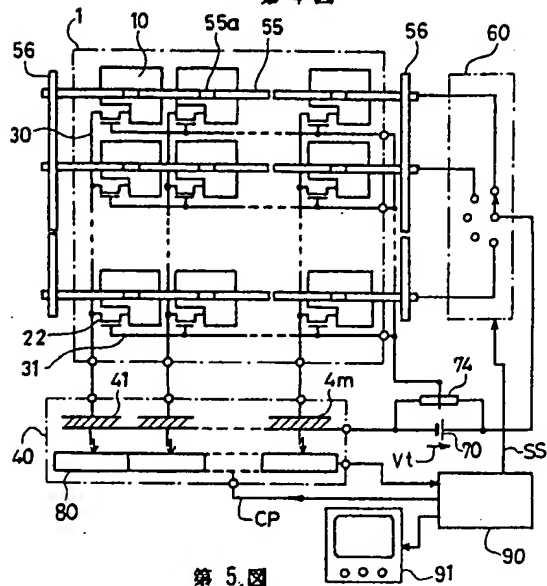
第 2 図



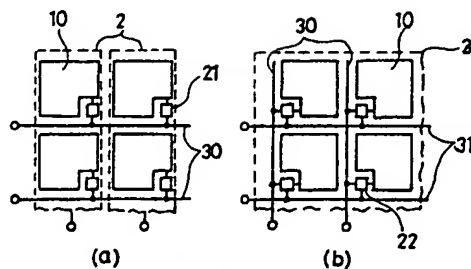
第 3 図



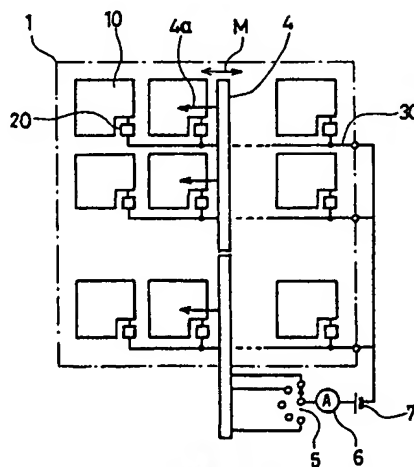
第 4 図



第 5 図



第 6 図



第 7 図